

UM-BUS 总线及接入式体系结构

张伟功^{1,2},周继芹²,李 杰³,王 晶^{1,2},丁 瑞¹,邓 哲⁴,王嘉佳⁴,杜 瑞⁴

(1.首都师范大学信息工程学院,北京 100048;2.北京数学与信息交叉科学 2011 协同创新中心,北京 100048;
3.山东航天电子技术研究所,山东烟台 264003;4.北京市高可靠嵌入式系统工程研究中心,北京 100048)

摘 要: 本文针对航天航空等领域综合电子系统在小型化、一体化设计及信息综合利用等方面的需求,提出一种可动态重构的高速串行通信总线(UM-BUS),采用 $N(\leq 32)$ 通道并发传输,通信速率可达 6.4Gbps,采用总线型拓扑结构,最大通信距离 40m,支持最多 30 个节点直接互连,具有远程存储访问能力,采用命令应答式协议提供 QoS 与实时性保证;通过并发通道相互冗余与动态重构,在允许 50% 性能降低的情况下,能够对 $N/2$ 通道故障动态容错.在 UM-BUS 总线基础上,本文提出一种新型的“接入式”体系结构模型,在不改变系统逻辑结构的前提下,能够突破机箱结构限制,将逻辑功能分散嵌入到控制测量对象内部,实现功能模块“接入即用”,使得综合电子系统一体化设计成为可能.

关键词: 综合电子系统;冗余容错;高速总线;动态重构;“接入式”体系结构;UM-BUS

中图分类号: TP302.8 **文献标识码:** A **文章编号:** 0372-2112 (2015)09-1776-10

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2015.09.015

UM-BUS and a Plug and Play Architecture

ZHANG Wei-gong^{1,2}, ZHOU Ji-qin², LI Jie³, WANG Jing^{1,2}, DING Rui¹, DENG Zhe⁴, WANG Jia-jia⁴, DU Rui⁴

(1. College of Information Engineering, Capital Normal University, Beijing 100048, China;

2. Beijing Center for Mathematics and Information Interdisciplinary Sciences, Beijing 100048, China;

3. Shandong Aerospace Electro-technology Institute, Yantai, Shandong 264003, China;

4. Beijing Engineering Research Center of High Reliable Embedded System, Beijing 100048, China)

Abstract: According to the demands of miniaturization, integrated design and comprehensive information utilization for integrated electronic system in aviation and aerospace field, this paper presents the UM-BUS. It is a high-speed, dynamic reconfigurable serial bus with $N(\leq 32)$ concurrent lanes of mutual redundant structure available, and the maximum communication rate of 6.4Gbps. UM-BUS is formed by general bus-topology structure where up to 30 nodes can be connected directly to provide the capability of remote memory accessing with maximum communication distance of up to 40m. UM-BUS uses command/response protocol to attain QoS and real-time guarantee. In the case of allowing 50% reduced performance, any fault in $N/2$ lanes can be tolerant by reconfiguring the mutual redundant concurrent lanes automatically. On the basis of UM-BUS, this paper put forward a new architecture of embedded systems. This access type architecture is geared to the needs of embedded system control and measurement applications. It does not change the logic architecture of embedded system, but this access architecture can break the structural constraints of embedded systems' chassis. It can accomplish a plug and play of the functional module by means of dispersing the logic functions to the interior of the control measurement object. By using this architecture, the integration designing of integrated electronic systems is possible to complete.

Key words: integrated electronic system; fault tolerance; high-speed bus; dynamic reconfiguration; plug and play architecture; UM-BUS

1 引言

随着技术进步与应用需求的发展,航天航空、汽车

电子、机车控制等领域在可靠性、灵活性、高性能高精度处理、小型化标准化方面对嵌入式系统总线提出了更高的要求^[13]. 嵌入式系统总线必须提供更高的数据吞吐

率、互连容量、速率、实时性与可靠性^[4]. 传统上, 航天航空等高可靠嵌入式系统应用的总线可划分为计算机内部并行总线与设备互连总线两大类, 这些总线由于速度、可靠性、体积、访问能力等方面原因, 已不能很好地满足高可靠嵌入式系统发展的综合要求.

近年来, 嵌入式系统功能模块信息资源综合利用的需求不断高涨, 这要求必须能够突破传统体系结构的限制, 实现嵌入式功能模块内部功能或信息资源的无缝开放, 使得多个功能处理单元对不同位置上的共享资源进行可控的访问. 另一方面, 由于 SoC 技术的迅速发展与一体化设计需求的提高, 嵌入式系统中处理单元数量正在迅速增加, 在资源调度、实时处理等方面增加系统的整体复杂度, 造成大量的资源浪费. 在现行体系结构框架下, 要解决这一问题, 又必然需要增加系统的集中度, 这与综合电子一体化设计思想又互相矛盾. 基于此, 近年来 Rapid IO 等高速总线及应用结构正在被广泛地研究, 期望能够通过提高嵌入式系统的远程扩展能力, 解决一体化设计需求与处理器计算能力不断提高之间可能产生的矛盾. 然而这并不能从根本上克服体系结构带来的机箱限制及路由器所引入的可靠性与传输确定性问题.

本文提出一种具有动态重构能力的高速串行总线—UM-BUS, 它基于 MLVDS (Multipoint Low Voltage Differential Signaling, 多点低电压差分信号) 信号传输方式^[5], 采用总线型拓扑结构, 通信速率最高可达 6.4Gbps, 能对多达 31 个通道故障进行动态容错, 具有远程存储访问能力, 采用命令应答式访问协议, 采用时隙令牌仲裁方式支持多主传送. 在此总线基础上, 本文研究提出一种“接入式”体系结构, 试图为综合电子系统的一体化设计思想提供系统结构的解决方案.

2 UM-BUS 总线

2.1 UM-BUS 总线拓扑结构

UM-BUS 总线采用多线路并发冗余的总线型拓扑结构, 如图 1 所示. UM-BUS 采用节点直接互连方式, 与通常高速串行总线相比不需要中继与路由器等. UM-BUS 总线最多可以连接 30 个总线节点设备, 节点可分为主控节点、从节点和监视节点三种, 每个主控节点与从节点都分配一个唯一的 5 位节点地址. 主控节点地址只能为 0~7, 从节点地址可以是 1~30 的任意地址, 节点地址 0 和 31 目前保留, 未来可作为广播消息、中断消息等扩展.

通信过程只能由主控节点发起, 任何时刻总线上只能存在一个总线主控节点, 但总线主控节点可以采用时隙令牌方式轮转; 从节点只能响应主控节点的通信命令, 在可控节点的控制下完成数据接收或发送; 监

视节点可以实时监视总线通信活动, 从中提取需要的信息. 任何从节点都可以同时具有监视节点功能.

UM-BUS 使用多通道并发发送方式, 这些并发通道同时又互为冗余备份. UM-BUS 支持 2~32 条通道 (lane) 初始配置, 为保证总线的基本容错能力, 硬件上需要配置至少 2 条通信通道. 正常通信过程中, 总线控制器会将通信数据包按字节顺序均匀分配到所有通信通道上, 如果某一通道或几个通道出现故障, 总线控制器会实时检测故障, 将通信数据动态均衡地分配到其它健康通道上进行传送, 实现对总线通道故障和节点电路故障的动态容错.

UM-BUS 总线通道采用 MLVDS (TIA/EIA-899-2002) 信号传送方式^[5], 单通道传送速率最高为 200Mbps, 总线通道连接方式如图 2 所示. 总线连接电缆采用特征阻抗为 100Ω 的屏蔽双绞线缆, 通道线缆长度最大为 40m, 节点到总线的连接长度最大为 40cm. 总线收发器正负端均通过 33Ω 隔离电阻与总线连接, 这样可实现对总线节点故障的隔离.

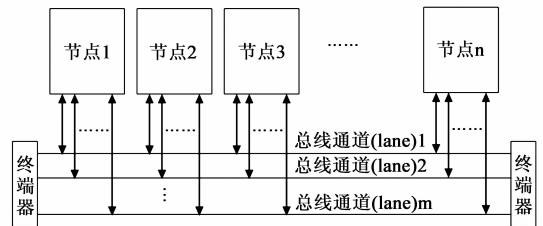


图1 UM-BUS总线拓扑结构

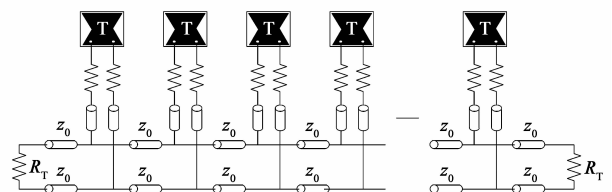


图2 UM-BUS总线通道物理连接模型

2.2 UM-BUS 地址空间及操作定义

UM-BUS 总线通信协议支持远程存储访问, 在常规基于数据包 (帧) 通信的基础上, 定义了按地址空间访问的方式, 可以实现对远程设备内部功能单元的直接访问. UM-BUS 定义三种地址空间: 存储器空间、IO 空间和配置空间.

(1) 存储器空间用来访问总线上可缓冲的存储器类型设备的数据, 可寻址空间共 256TB, 按字进行读写访问. 总线传输时, 在主节点控制器中设置类似 CACHE 结构的高速缓冲, 每次总线通信时, 与从设备交互 1024 字节 (256 字) 的数据. 总线上映射在存储器空间的功能模块必须能够支持这种缓冲访问方式.

(2) IO 空间地址范围为 1MB, 用来访问非存储器类

的功能模块,即通常的不可缓冲类的 IO 功能端口.这类功能模块的数据往往与外部状态相关,会实时变化,不能预先缓冲.

(3)配置空间地址范围 1KB,用来访问 UM-BUS 总线设备的属性配置数据,包括地址空间需求、数据访问等待时间、模块功能等信息.配置空间的另一功能是为总线设备在主机空间映射时设置地址映射范围与方式,还可以动态设置总线设备的其它访问参数.

UM-BUS 总线协议将总线上所有设备的存储器空间及 IO 空间分别进行统一编址,可通过处理层地址变换管理协议再映射到主机的存储空间,这就允许总线主控设备的主处理器可以像访问内部资源一样访问总线设备的内部资源.

2.3 UM-BUS 总线协议模型

UM-BUS 总线通信协议分为处理层(transaction layer)、数据链路层(data link layer)和物理层(physical layer)三个层次,如图 3 所示.

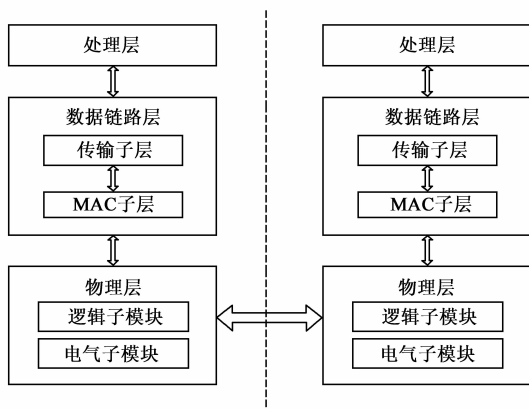


图3 UM-BUS总线协议层次结构图

处理层是 UM-BUS 通信协议结构层次的最上层,是该总线系统的控制层,其主要任务是完成整个总线通信的管理工作并将部分信息反馈给外接设备或上层应用,主要功能包括:通信命令分析与组织、本地地址到设备地址的解析、数据缓冲管理、通信重试、线路故障检测、中断处理、本地总线访问控制等.

数据链路层包括传输子层和 MAC 子层.传输子层实现数据分组传输,根据通道故障信息表,将通信数据按字节均衡地分配到所有可用通道上进行传输,实现对故障通道的自动屏蔽,数据传输过程中采用 CRC 进行差错校验.MAC 子层的主要任务是完成通道状态及传输管理,包括线路检测、通道故障信息表维护、通道数据组帧与解帧,二次组帧的作用主要是增加通道故障表识别信息.

物理层逻辑子模块包括数据编解码(8b/10b)、编码差错校验、字符同步、时钟同步等功能,电气子模块规定总线的物理连接特性.

UM-BUS 总线支持共享信号中断与消息中断两种中断处理方式.

2.4 UM-BUS 总线协议包格式

UM-BUS 的所有总线访问在传输子层上转换为数据通信协议信息包在总线上进行传送.用户也可以绕过地址变换管理协议,直接采用数据通信协议包格式进行通常的设备通信.

UM-BUS 采用主从命令应答式通信协议,通信过程总是先由主控节点向从节点发送一个命令协议包,从节点执行读写功能后,再通过发送状态协议包向主控节点回送通信状态和数据.UM-BUS 总线传输子层命令协议包与状态协议包采用相同的格式定义,如表 1 所示.

表 1 UM-BUS 总线传输子层协议包格式

命令头(16B)					数据(1025B)				
1B	1B	1B	6B	4B	1B	1B	1B	1024B	1B
Dest Num	Src Num	Cmd Frame	Addr Offset	SData	Ack Cmd	Ack Sta	Cmd CRC	Data	Data CRC
目标设备号	源设备号	命令/状态帧	地址偏移	短包数据	响应命令	状态字	命令头 CRC	主体数据	数据 CRC

其中:B表示字节,命令头CRC与数据CRC分开计算

UM-BUS 总线协议包分为长包与短包两种格式,短包只包括 16 字节的命令头,长包则由命令头和数据两部分组成.长包只在存储器空间写命令及读应答时使用,其它命令与应用则全部采用短包传送.

命令/状态帧类型字节规定了数据包类型.目前定义的数据包类型共 8 种:IO 读、IO 写、存储器读、存储器写、配置空间读、配置空间写、带数据状态包与不带数据状态包.

2.5 UM-BUS 总线的数据传输

UM-BUS 总线采用按字节动态分组方式进行数据传输^[12].总线各通信节点的数据链路层在上电自检和故障检测时,会建立一个通道故障信息表,用来记录各通信节点间的通信通道的健康状态.

数据传输时,发送方的数据传输子层根据目标节点与源节点地址信息,从通道故障信息表中获取可用通道的信息,然后将表 1 所示的传输子层协议包按字节

顺序轮流分发给各个可用通道的 MAC 子层. 各通道 MAC 子层将传输子层分发的数据重新组织, 组成如表 2 所示的物理层数据帧格式, 再从物理通道上向外发送.

表 2 UM-BUS 总线物理层格式

Start	Des	Src	Data	Stop
起始字	目标设备号	源设备号	数据	结束字

表 2 所示的数据帧格式中 Start 用来在两个节点间进行数据同步, 是一个 8b/10b 控制字; Stop 也是一个 8b/10b 控制字, 表示一帧结束; Des、Src 分别表示本次通信的目标设备与源设备地址, 它们一方面用来在总线上寻址设备, 另一方面供接收方传输子层获取可用通道信息; Data 是通信数据, 其长度根据传输子层协议包大小和可用通道数量变化.

通信接收方各通道在接收到数据后, 将数据提交传输子层, 传输子层根据源设备号与目标设备号从通道故障表中获取可用通道信息, 并按通道顺序将数据重新组织为正确的传输子层协议包.

当发生通信错误时, 通信双方中的主节点会自动启动通道检测过程: 先由主节点通过所有通道向从节点发送一个通道检测命令; 从节点各通道的 MAC 子层在收到通道检测命令后, 会向主节点返回一个通道检测应答包; 主节点各通道的 MAC 子层在收到检测应答包后, 再向从节点发送一个通道检测确认命令. 对于主节点, 所有能够收到检测应答包的通道即为健康的通信通道, 否则为故障通道. 对于从节点, 所有能够收到检测确认包的通道被认为是健康通道, 否则被认为是故障通道.

采用这种基于通道故障信息表的数据动态组织方法, 使得通信通道的动态重构就简化为通道故障信息表的动态维护, 使得总线的动态重构可以非常方便地得到实现. 当一个通道故障导致通信错误时, 总线检测逻辑会通过前述检测方法及时检出故障, 并更新通信主、从双方节点的通道故障信息表, 在后续通信过程中及时剔除故障通道, 不再从故障通道上传送信息, 这使得 UM-BUS 总线能够对总线通道的故障实现动态的实时容错.

这种方式也可以使得各个通信节点可以根据自身对通信带宽的不同需求, 有选择地实现不同数量的通信通道, 达到控制成本与功耗的目的. 比如, 在一个 16 通道并发的 UM-BUS 总线系统中, 某些节点可根据自身功耗、成本、带宽的不同需求选择实现 2~15 个通道. 同样地, 如果有多个通道发生故障, 通过故障检测算法, 可在节点的通道故障信息表对它们进行及时标注, 从而实现动态容错, 保证通信工作的正确进行. 对于 N 通道配置的总线系统, 最多允许在 $N-1$ 个故障时, 总线仍

能正常通信. UM-BUS 总线通过多通道并发提高总线通信速率与带宽, 由于协议开销的存在, 当总线通道数增加一倍时, 总线带宽与速率的增加达不到 1 倍, 且总线通道数不同时, 带宽与速率提升比例也不相同. 同理, 总线通道数减少一半时, 总线带宽与速率降低也不会超过 50%. 因此, 当允许 50% 的带宽与速率性能降低时, N 通道并发的 UM-BUS 总线可以对 $N/2$ 通道故障进行动态容错.

2.6 UM-BUS 总线仲裁与时间同步

UM-BUS 总线可以配置为单主通信与多主通信两种模式. 在单主通信模式下, 整个总线系统中只有一个主控节点, 所有通信只能由该主控节点发起, 不需要进行总线仲裁. 多主通信模式下, UM-BUS 总线系统中可以有最多 8 个主控节点 (节点地址为 0~7), 多个主控节点采用可变时隙令牌方式进行总线仲裁.

由于采用时隙令牌仲裁方式, 总线上各个主控节点必须保持严格的时间同步. 同时, UM-BUS 总线面向嵌入式应用, 实时性是其追求的一个重要目标, 而总线各节点的同步精度对系统的实时性具有至关重要的影响. UM-BUS 总线各节点复位后, 首先进行时间同步, 只有在完成时间同步后, 才能开始数据访问. UM-BUS 总线时间同步过程如图 4 所示.

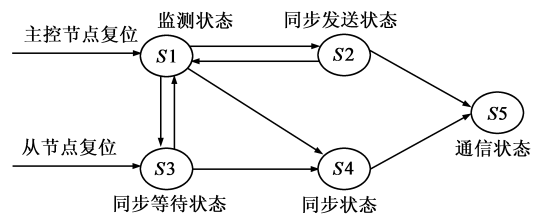


图4 UM-BUS总线时间同步状态转移图

(1) UM-BUS 总线系统中的各主控节点 (假设节点设备号为 N , $N=0\sim 7$) 在上电或复位后, 首先进入总线监测状态 $S1$, 对总线活动进行监测. 如果监测到总线通信活动或收到总线同步命令, 则认为总线同步已经建立. 如果收到总线同步命令就转入同步状态 $S4$, 否则转入同步等待状态 $S3$. 如果未监测到总线通信活动, 根据设备号不同, 延迟 $(N+5)$ ms 后, 转入同步命令发送状态 $S2$.

(2) 在同步命令发送状态 $S2$, 主控节点根据自己的时间计数器向总线所有通道发送一个总线时间同步命令, 若冲突, 则重新转入总线监测状态 $S1$; 否则, 完成总线同步, 转入总线通信状态 $S5$, 设置自己为同步控制方. 当检测到冲突转入 $S1$ 状态后, 由于各节点在 $S1$ 状态再次转入 $S2$ 状态的转入延迟时间不同, 设备号较小的节点总是会率先转入 $S2$ 状态再次发送同步命令, 其它节点接到它的同步命令后, 会转入状态 $S4$ 完成同

步,从而避免后续的冲突。

(3)UM-BUS 总线非主控节点在上电或复位后,直接进入同步等待状态 S3.在同步等待状态 S3,各节点等待接收总线上的同步命令.收到同步命令后,立即转入同步状态 S4.如果一个主控节点在 5ms 内没有收到总线同步命令,则重新转入总线监测状态 S1.

(4)在同步状态 S4,总线节点根据收到的同步信息,对本地时间计数器进行调整,从而达到与系统时间同步的目的.同步完成后,节点进入总线通信状态 S5.

(5)进入总线通信状态 S5 以后,担任同步控制方的主控节点在同步控制权转移之前,每隔 2ms 向总线所有通道发送时间同步命令,便于总线系统中各个节点之间实现时间同步.任何一个具有时间同步能力的总线主控节点完成一次主动通信之后,会接替之前的同步控制方成为新的同步控制方,负责以后的时间同步事务.这种时间同步控制权的动态轮转方法可以避免时间同步功能的单点失效模式.

UM-BUS 总线节点只有进入总线通信状态 S5 后才能进行总线数据通信工作,从节点只能响应主控节点的通信命令,只有主控节点才能发起总线通信过程.多个总线主控节点采用可变时隙令牌方式进行总线仲裁,具体仲裁算法如下:

总线空闲时,UM-BUS 总线将总线时间划分为 250ns 的时隙(根据具体实现方式确定),为总线上的所有主控节点设备,按照设备号从小到大的先后顺序分别分配一个时隙.主控节点需要进行总线通信时,在其对应的时隙的中间点开始进行总线通信,并将时隙自动扩展为本次总线通信所需要的时间.其它总线节点监测到总线通信活动后,在本次总线通信活动结束前,自动停止总线仲裁.待本次总线通信活动结束或超时后,由下一个主控节点开始重新进行时隙轮转.采用这种仲裁方法,没有总线竞争时,最坏情况下,一个主控节点可在延迟 $2\mu\text{s}$ 后获得总线访问权;当存在总线竞争时,延迟时间与总线通道数量及其它节点的通信数据量有关.

2.7 UM-BUS 总线的差错控制

UM-BUS 采用多重检测机制对通信数据差错进行检测,并支持一次重传机制进行数据恢复.UM-BUS 总线多重错误检测机制如下:

(1)UM-BUS 采用 8b/10b 数据编码,接收端需要对 8b/10b 数据格式及编码极性进行检测,如果发生错误则认为正在接收的通信协议包发生通信错误.

(2)UM-BUS 采用 CRC-8 对通信协议包命令头和数据部分分别进行 CRC 校验,如果命令头 CRC 校验错误或协议包数据校验错误均认为协议包通信错误^[11].

(3)UM-BUS 总线采用命令应答方式通信,主控节

点发出通信命令后,规定时间内未收到从节点的应答状态,则认为协议包通信错误.

(4)UM-BUS 总线通信命令协议包中可附加通信加密字,如果通信加密字不正确,则从节点认为通信错误,不执行协议命令.

(5)UM-BUS 总线收发器检测到某一节点发送时间超出最大协议包长时,会认为节点控制电路故障,自动关闭该节点的发送器.

(6)对于高可靠系统,UM-BUS 总线规定总线节点所有收发器至少应当分为两组独立的芯片,避免共模故障.

当 UM-BUS 总线检测到编码错误、CRC 校验错误、通信应答错误、通信加密字错误等四类故障时,如果允许的话,会将通信命令重试一次.如果通信过程出现错误,且重试不成功(或不允许重试),UM-BUS 会启动一个故障检测周期,通过 2.5 节所述的故障检测过程更新主控节点和从节点的故障记录表.以后数据收发都只通过非故障通道进行.

UM-BUS 总线采用命令应答式协议,所有通信过程由主节点通过协议命令发起,从节点通过回应协议应答包完成总线通信过程.任何一次总线通信,通信发起方总是可以通过协议应答包确切地判断通信的完成质量.同时,UM-BUS 总线还可以在命令头中利用响应命令字(Ack Cmd)和状态字(Ack Sta)传递仲裁延迟时间及实时传输要求,从节点及主控节点按规定时间执行或精确计算通信延迟时间,从而使得总线通信命令的执行可以具有较强的时间精确性.这些措施使得 UM-BUS 总线通信具有更好的安全性与实时性保证,为总线通信提供了最基础的 QoS 保证.

2.8 UM-BUS 总线的应用模式

UM-BUS 总线支持三种应用方式:

(1)内部 IO 总线(背板总线).UM-BUS 可作为嵌入式计算机系统内部 IO 功能互连总线,用于机箱内部 IO 功能、存储模块互连.此时,UM-BUS 总线不仅能够为内部各功能模块提供高速高可靠互连,还可为系统提供总线级冗余容错,解决传统冗余容错计算机内部总线不能冗余的问题.

(2)外部扩展 IO 总线.UM-BUS 支持远程存储访问,可将计算机系统背板总线延伸到机箱外部,从而将计算机系统的功能部件放置到测量与控制部件中,支持外部非智能模块的地址访问.为一体化设计、综合设计、标准化制造提供支持.

(3)设备互连总线.UM-BUS 也可以像通常的设备互连总线(CAN、1553、FlexRay 等)一样用于设备互连.在这种应用模式下,UM-BUS 不仅可实现传统的信息交互,更可提供基于地址单元的直接访问能力,支持双口

RAM 型的多设备通信。

2.9 UM-BUS 总线主要技术指标及对比

UM-BUS 总线主要技术指标如下:

(1)总线拓扑:总线型,总线最大长度为 40m,支持 30 个节点直接互连;(2)传输介质:屏蔽双绞线,特征阻抗 100Ω,可支持光纤升级;(3)最高通信速率:200Mbps/通道,32 通道时为 6.4Gbps;(4)访问方式:主从命令/应答式;(5)总线故障容错: $m-1$ 线路故障(m 为通道数量),2 节点电路故障;(6)远程访问地址空间:存储器空

间为 256TB,IO 空间 1MB,配置空间 1KB。

表 3 给出了 UM-BUS 总线与其它一些常见总线的技术对比情况。

3 接入式体系结构

目前,嵌入式系统体系结构主要分为集中式与分布式(或网络化)两大类,已难以适应高性能计算、系统集成与一体化小型化的发展需求,主要表现在以下方面:

表 3 UM-BUS 总线与其它总线技术比较

	UM-BUS	Rapid-IO ^[6]	SpaceWire ^[7]	PCIe ^[8]	1394 ^[9]	1553B ^[10]
总线速率	400Mbps ~ 6.4Gbps	12.5Gbps	2 ~ 400Mbps	160Gbps	3.2Gbps	1Mbps
单通道速率	200Mbps	3.125Gbps	2 ~ 400Mbps	5Gbps	3.2Gbps	1Mbps
带宽扩展性	可扩展	可扩展	有限扩展	可扩展	不可扩展	不可扩展
通信方式	多主,命令/响应式	全双工	有限度全双工	全双工	同步异步	单 BC,命令/响应式
连接方式	总线型	星型	星型	树型	树型/环型	总线型
动态容错	有	无	无	无	无	总线切换
故障检测	有	有	有	有	有	有
故障隔离	有	有	通过路由	有	无	有

(1)集中式结构,虽然可以更好地利用处理器的计算能力,但需要将大量信号连接到一起,微小信号、模拟信号长距离传输,抗干扰能力低,信息处理精度低。一些控制电缆重量已大大超过系统重量,连接点也极大地限制了系统小型化。

(2)与集中式结构相比,分布式(网络化)结构,提高了本地(局部)处理能力,通过异构容错可以提供更高的可靠性,但增加了系统复杂性与开发制造成本,也不能从本质上解决信号本地化采集处理问题,不能进行深度嵌入。同时,多处理器协同处理方式还会增加系统整体处理模型的复杂性,降低系统的实时性与信息的综合利用效率,反过来也会给系统的整体可靠性带来不良影响。

UM-BUS 总线通过远程存储访问,可以突破传统机箱结构的限制,能够在不改变嵌入式计算机系统逻辑结构的前提下,将各个功能模块根据需要分散在不同的物理位置,嵌入到测控目标对象中。通过总线配置空间的配置信息,总线中的主控设备,可以对总线上接入的每一个节点设备进行识别,如同 PCI、USB 等总线那样实现设备的“即插即用”。相对于 PCI 的插件板结构,UM-BUS 总线上的设备主要是通过总线线缆接入方式与主控进行连接,因此将这种方式定义为“接入式”体系结构。

这种“接入式”体系结构可以支持多个非智能型设备(无本地 MCU)的自动识别与连接,可将物理上分散

布局的多个功能模块,构成一个逻辑上集中控制的嵌入式计算机系统。在当今系统功能密度与计算能力极大提高的情况下,可以减少系统中的 MCU 数量,从而简化系统的软件处理模型,提高数据耦合精度,降低系统整体成本。

图 5 给出了一个基于 UM-BUS 总线与 1553B 总线混合连接的“接入式”体系结构。1553B 总线主要是为了与现行应用结构兼容,也可以用来作为后备总线传送系统测控基础信息。图中,计算机模块 1 ~ n 是具有 UM-BUS 总线接口的标准化计算机模块,其基本组成部分可

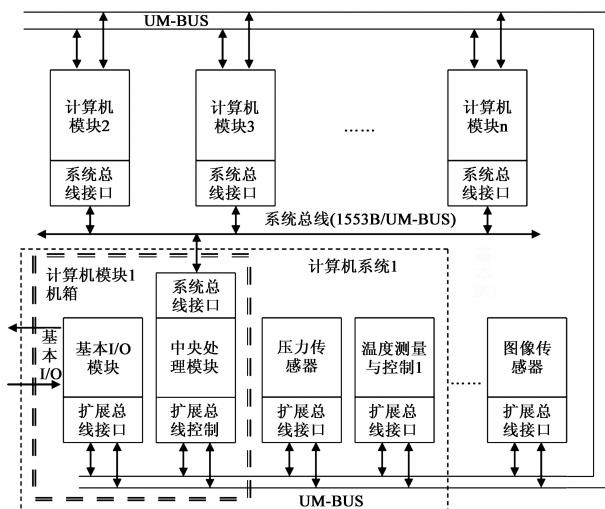


图5 基于UM-BUS总线的“接入式”系统结构图

以包括处理器模块、存储器模块及其它有限的 IO 功能, 可以放置在一个机箱中构成独立的物理设备. 这些计算机模块可以是 UM-BUS 总线上的主控节点, 也可以将其内部部分资源作为共享资源供其它设备访问. 压力传感器、温度测量与控制、图像传感器等作为从节点接入总线, 可以不包含本地处理器, 所有资源均作为共享资源由总线上的主设备进行访问. 每个总线主控节点根据需要, 可以像访问内部 IO 模块一样访问其它总线节点的内部共享资源.

在此“接入式”结构中, 压力传感器及其变换调理电路则可以放置到燃料舱中, 温度测量与控制模块可以嵌入到温控器中, 它们不需要本地处理器, 通过 UM-BUS 总线与计算机模块 1 一起在逻辑上构成计算机系统 1, 所有数据处理均可由计算机模块 1 完成. 图像传感器等其它设备可以安装在需要的位置上, 通过 UM-BUS 总线供总线系统中的各个计算机模块按需访问, 与多个计算机模块在逻辑上构成虚拟计算机系统. 如果需要, 图 5 中的压力传感器模块、温度测量控制模块也可以像图像传感器那样由多个计算机模块共同访问,

充当多个逻辑计算机系统中的 IO 功能模块.

4 测试验证情况

4.1 测试验证系统组成

为了对 UM-BUS 总线协议及接入式体系结构进行验证, 构建了如图 6 所示的演示验证系统(图中虚框部分未实现). 演示系统中 UM-BUS 总线为 16 通道冗余并发, 共包括 6 个通信节点: 一个主控节点和 5 个从节点. 从节点 1、2、3 用来进行温度、湿度、振幅、振频及开关量采集, 并完成开关量及模拟量输出; 从节点 4、5 是两个图像传感器, 在主控节点控制下, 可按行完成 $400 \times 500 \times 16\text{bit}$ 的图像数据采集; 主控节点采用 SPARC V8 处理器作为主 CPU, 工作频率 100MHz, 运行 VxWorks 操作系统, 实时采集各从节点设备的图像与状态数据, 进行图像、模拟信号变化曲线及开关量状态显示, 并将温度、湿度与开关量状态送从节点 1、2、3 输出. 主控节点同时还可以对总线通信故障、速率等进行统计显示. 图 7 给出了演示验证系统实物图片, 左侧为演示验证系统整体工作场景, 右侧为总线控制器板.

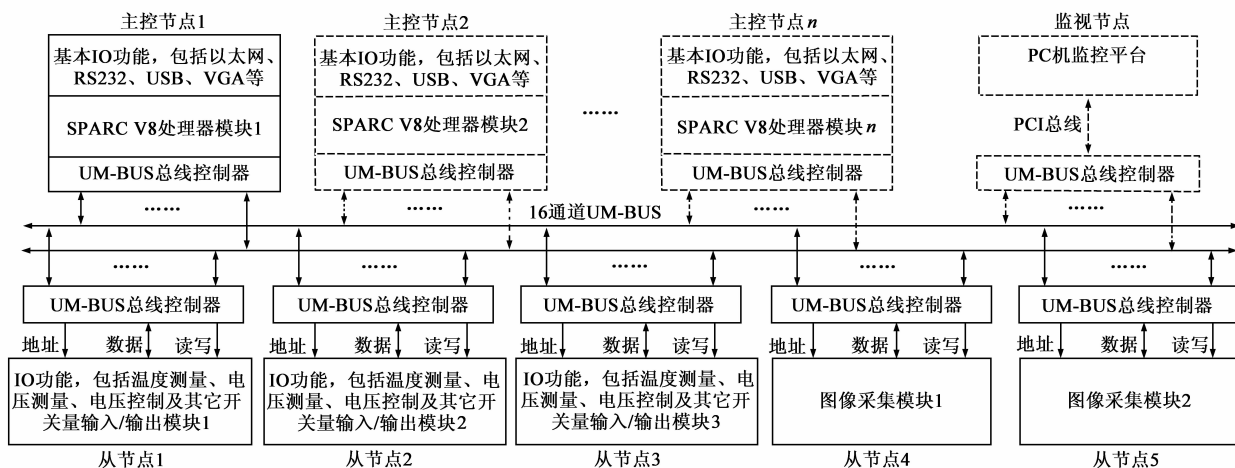


图6 UM-BUS演示验证系统

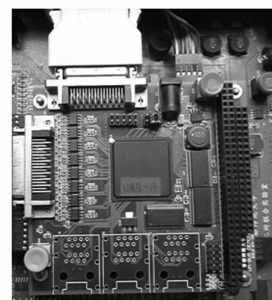


图7 UM-BUS演示验证系统实物图片

4.2 UM-BUS 总线控制器设计

测试验证系统设计实现了如图 8 所示的支持 16 通

道冗余并发的 UM-BUS 总线控制器电路. UM-BUS 总线控制器电路包括协议处理与总线驱动两部分. 协议处

理部分包括应用接口、数据缓冲、CRC、传输控制、MAC 管理及编解码等子模块,采用一片 FPGA 实现.总线驱动部分包括超时监测 WDT 和驱动器电路两个子模块,每个通道的总线驱动相互独立.总线驱动电路采用 TI 公司的 SN65MLVD201,速率可达 200Mbps. WDT 模块监视总线驱动电路的发送使能,当超过协议规定的最大时间,强制关闭驱动器的发送功能,防止单个节点功能失效导致全局失效. WDT 模块与协议处理部分放在同一 FPGA 中,但与协议处理部分在逻辑上完全独立,未来进行 ASIC 电路设计时, WDT 将与驱动电路集成在一起.

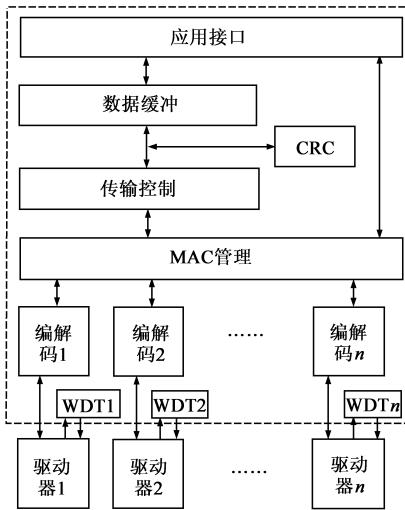


图8 UM-BUS总线控制器组成框图

对于主控节点,应用接口提供总线控制器与 CPU 的接口,根据 CPU 的访问请求完成对内部数据缓冲及控制寄存器的读写.对于从节点,应用接口对接收到的总线命令包进行解析,生成并行的读写控制信号,并负责组织命令应答包,通过总线回送主控节点.

应用接口以下部分主控节点与从节点均相同.数据缓冲是一个多体双口存储器,用来在应用接口与总线传输控制间进行数据缓冲,对应用接口它是一个 32 位单体存储器;对传输控制逻辑,它是 4 个独立的 8 位存储器^[11,12]. CRC 模块在数据传输过程中对 UM-BUS 协议命令包的包头和数据部分进行 CRC 校验^[11].发送时,传输控制模块采用矩阵开关算法,根据 MAC 管理模块提供的物理通道健康状态,将 4 个独立的 8 位存储器中的数据按字节顺序依次通过 MAC 管理层送各健康通道对应的编解码模块;接收时,传输控制模块采用同样方式将编解码模块收到的数据送到数据缓冲中^[12]. MAC 管理模块主要完成对总线通道的检测与故障记录,当通信错误时,MAC 管理模块会自动启动通道检测过程.编解码模块对通道数据进行 8b/10b 编码、解码,

完成并/串、串/并转换,负责物理层帧格式数据的加入与删除,生成总线驱动器收发控制信号.

总线控制器采用 VHDL 设计,支持 4~16 个通道的不同配置,使用 SPARTAN3AN 系列 FPGA 实现.使用不同通道配置时,FPGA 资源占用情况如表 4 前两行所示,表中数字为控制器占用的 Slices 数量,括号中数字为资源占用比例.受 FPGA 性能影响,总线控制器在 FPGA 中的实际工作频率为 40MHz,编解码器每周期进行一次串行移位,因此通道数据速率为 40Mbps.16 通道并发时,总的通信速率为 640Mbps.表 4 第三行给出了不同通道配置情况时主控节点使用 ASIC 实现时逻辑门使用情况.

表 4 UM-BUS 总线控制器资源占用情况

	4 通道	8 通道	16 通道
主控节点	2424(21%)	4076(36%)	7432(65%)
从节点	2597(23%)	4179(37%)	7241(64%)
主控 ASIC 门	25891	41952	74029

4.3 测试结果

(1) 通信带宽与误码率测试

测试验证系统工作时,主控节点 1 周期采集两个图像节点的成像数据及其它 3 个传感器节点的温度、湿度、振动数据,实时显示图像与传感器数据变化曲线,通过从节点 1、2、3 上指示灯、电压表等方式显示测量控制数据.

当图像分辨率为 $400 \times 500 \times 16\text{bit}$ 时,两个图像节点的图像显示速度均可达到 30 帧/s,图像数据访问有效带宽为 32MB/s(包括命令与应答全过程,主要受到 SPARC V8 处理器速度限制).测试验证系统累计工作已超过 800 小时,仅图像传输数据量已超过 6.9×10^{13} 字节,未发现不可检测的数据错误,结合后面信号质量分析结果,可以认为 UM-BUS 总线通信误码率优于 1×10^{-12} .而通常实时以太网的误码率为 1×10^{-10} ,1553B 总线的误码率仅为 2.77×10^{-8} ,与此相比,UM-BUS 总线的误码率具有明显的提高.

(2) 故障容错能力测试

测试验证系统中,在两个图像节点上共设置 16 个开关,通过专门设置的故障注入逻辑,分别控制一个通道的总线驱动电路,通过关闭驱动器或使驱动器发送恒有效,来模拟总线通道故障与节点故障.关闭总线驱动器,相当于将节点的相应通道从总线上断开,用来模拟总线节点的独立故障.将驱动器发送置为恒有效(需要关闭 FPGA 中相应的 WDT 逻辑),它会不间断地驱动总线通道,其它节点将不能通过该通道正常传送数据,可用来模拟总线通道全局故障.上述 16 个故障注入开关中,8 个用来控制通道全局故障注入,另外 8 个分别用来向两个节点的 4 个通道注入节点独立故障.

运行测试验证系统,按下不同的开关注入各种类型和不同数量的故障,主控节点均能够检测到通信故障,并启动故障检测,对总线通道进行实时的动态重构,保持总线通信的正确性,并将总线重构情况在主控

节点的屏幕上进行显示.注入故障后,随着健康通道的减少,总线通信带宽会随之下降,表 5 给出了 UM-BUS 在注入不同数量与类型故障后的实测带宽.

表 5 UM-BUS 总线注入故障重构后通信带宽变化情况

故障数	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
图像模块 1 访问速率(MB/s)	32	31	29	28	27	25	24	22	20	19	16	14	12	12	12	12	12
图像模块 2 访问速率(MB/s)	32	32	32	32	32	31	29	28	27	25	24	22	20	19	16	14	12

注入 16 个故障后,由于其中 8 个故障是节点独立故障,不会影响其它节点通信,因此,图像模块 1、2 节点分别可以通过四个通道通信,访问带宽不会降为 0. 另外,由于在主控节点上存在访问命令包与应答包的处理时间,因此平均访问带宽也没有呈现按比例降低的情况. 表 5 两个图像模块节点在故障重构后平均访问速率的变化反映了 UM-BUS 总线在总线通道故障与节点故障情况下的动态容错特性.

(3) 信号质量测试

为对 UM-BUS 总线信号传输质量进行分析,采用 41m 铜芯双绞线电缆,在 6 个负载的情况下,使用 50MHz 方波信号(对应 100Mbps 数据速率),对 UM-BUS 信号传输眼图进行测量,结果如图 9 所示. 图 9(a)为总线驱动器发送端信号眼图,图 9(b)为 41m 远端驱动器接收端信号眼图. 分析图 9(b)数据,远端接收信号幅度有所衰减,但峰值仍大于 400mV,与 MLVDS 规范要求的 100mV 具有很大裕量;信号眼图张开宽度(100mV_{p-p})大于 8ns,上升与下降时间小于 1ns,抖动时间小于 300ps,满足 10^{-12} 误码率要求且具有很大大裕量. 当信号频率为 100MHz(对应 200Mbps 数据速率),眼图有效宽度将不少于 3ns,满足 200Mbps 的数据传输速率要求.

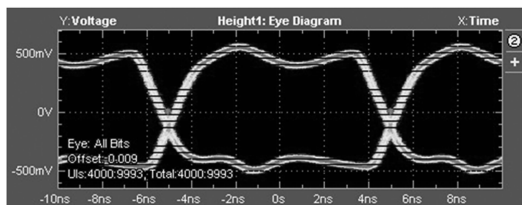
5 小结

本文提出了一种新型的串行系统总线—UM-BUS,它采用总线型拓扑结构,支持最多 30 个节点设备直接互连,通信速率最高可达 6.4Gbps,能够对最多 31 个通道故障进行容错,使用 FPGA 设计了总线主从节点控制器,构建了 6 个节点 16 通道并发的测试验证系统,对总线的通信协议及容错能力进行了测试验证.

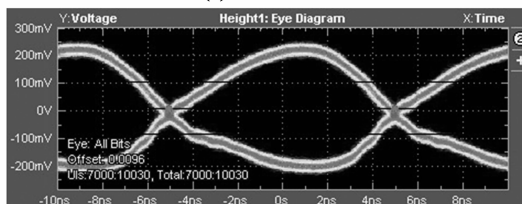
与其它总线相比,UM-BUS 总线通过动态重构与多通道冗余并发方式,能够提供更高的通信带宽与容错能力;采用 MLVDS 信号规范实现了总线型拓扑结构,能够支持多个节点设备直接连接;采用命令应答式访问协议,可以提供更高的可靠性与通信质量保证;通过远程存储访问协议,可以为嵌入式系统提供灵活便捷的远程扩展能力. 对于航天等领域综合电子系统而言,UM-BUS 总线可以使嵌入式系统的标准化制造、小型化、信息资源综合利用等需求之间的矛盾得到较好的解决.

参考文献

- [1] Jesus B, Fernando R, Francisco M, et al. A comprehensive integration infrastructure for embedded system design[J]. *Microprocessors and Microsystems*, 2012, 36(5): 383–392.
- [2] Zhou Z D, Liu Q, Ai Q, et al. Intelligent monitoring and diagnosis for modern mechanical equipment based on the integration of embedded technology and FBGS technology[J]. *Journal of the International Measurement Confederation*, 2011, 44(9): 1499–1511.
- [3] 王九龙. 卫星综合电子系统现状和发展建议[J]. *航天器工程*, 2007, 16(5): 68–73.
Wang Jiu-long. Development state and thought of the satellite synthesized electronic system [J]. *Spacecraft Engineering*, 2007, 16(5): 68–73. (in Chinese)
- [4] 朱红, 李立, 黄普明. 星载海量遥感数据的低缓存高速传输[J]. *电子学报*, 2013, 41(10): 2016–2020.



(a) 发送端眼图



(b) 41m远端眼图

图9 UM-BUS总线信号传输眼图

Zhu Hong, Li Li, Huang Pu-ming. Onboard high rate data transmission of massive remote sensing data using small size buffer[J]. Acta Electronica Sinica, 2013, 41(10): 2016 – 2020. (in Chinese)

- [5] TI. Introduction to M-LVDS (TIA/EIA-899)[R]. TI: Application Report SLLA108, 2002.
- [6] RapidIO Trade Association. RapidIO™ Interconnect Specification Part 1: Input/Output Logical Specification. Rev. 2. 1[S].
- [7] ECSS-E-ST-50-12C, Space Engineering SpaceWire Links, Nodes, Routers and Networks[S].
- [8] PCI Express® 3.0 Base Specification Revision 3.0[S].
- [9] IEEE Std 1394-2008 (revision of IEEE Std 1394 – 1995), IEEE Standard for a High-performance Serial Bus-redline[S].
- [10] MIL-STD-1553B. Military Standard Aircraft Internal Time Di-

vision Command/Response Multiplex Data BUS[S].

- [11] 杜瑞, 张伟功, 邓哲, 等. 新型总线中并行 CRC 算法的设计与实现[J]. 计算机工程与设计, 2013, 34(1): 131 – 135. Du Rui, Zhang Wei-gong, Deng Zhe, et al. Parallel CRC algorithm design and implementation of new us[J]. Computer Engineering and Design, 2013, 34(1): 131 – 135. (in Chinese)
- [12] 邓哲, 张伟功, 朱晓燕, 等. 动态可重构总线数据传输管理方法设计与实现[J]. 计算机工程, 2013, 39(1): 265 – 269. Deng Zhe, Zhang Wei-gong, Zhu Xiao-yan, et al. Design and implementation of data transmission management method for dynamic reconfigurable bus[J]. Computer Engineering, 2013, 39(1): 265 – 269. (in Chinese)

作者简介



张伟功 男, 1967 年生于山西临猗. 首都师范大学信息工程学院研究员、博士生导师. 主要研究方向为高可靠嵌入式计算机体系结构与应用技术.

E-mail: zwg771@cnu.edu.cn



周继芹 女, 1978 年生于山东安丘. 首都师范大学数学科学学院博士生. 主要研究方向为计算机系统体系结构与性能评价.